

SUBSTRATE FOR LIQUID CRYSTAL PANEL, ITS PRODUCTION AND PROJECTION TYPE DISPLAY DEVICE

Publication number: JP10048667

Publication date: 1998-02-20

Inventor: YONEYAMA RYOICHI

Applicant: SEIKO EPSON CORP

Classification:

- international: **G02F1/1343; G02F1/136; G02F1/1368; G02F1/13; (IPC1-7):**
G02F1/136; G02F1/1343

- European:

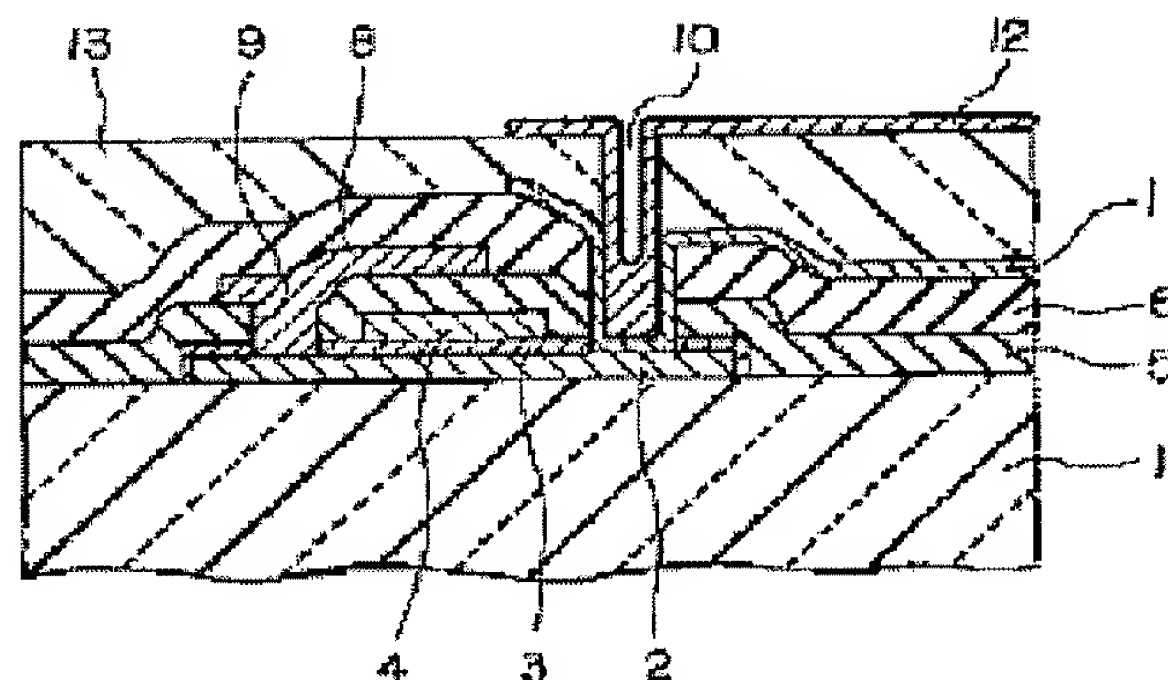
Application number: JP19960204006 19960801

Priority number(s): JP19960204006 19960801

[Report a data error here](#)

Abstract of JP10048667

PROBLEM TO BE SOLVED: To suppress orientation defects and to improve reflectance by forming a flat insulating film on a first pixel electrode, forming a contact hole and then forming a second pixel electrode on the surface of the insulating film. **SOLUTION:** The first pixel electrode 11 is formed by opening a contact hole 10 through a gate insulating film 3a, first interlayer insulating film 5 and second insulating film 6 on the drain region of a polysilicon layer 2 by dry etching, then forming an ITO film by sputtering and patterning the film by selective etching. The second pixel electrode 12 is formed by applying, for example, polysilazane by spin coating on the first pixel electrode 11 and second insulating film 6, baking to form a flat SOG film 13, then opening a contact hole by dry etching at the same position as that of the contact hole 10, forming an ITO film by sputtering and patterning the film by etching.



Data supplied from the **esp@cenet** database - Worldwide

Family list

1 family member for: **JP10048667**
Derived from 1 application

[Back to JP1](#)

1 SUBSTRATE FOR LIQUID CRYSTAL PANEL, ITS PRODUCTION AND PROJECTION TYPE DISPLAY DEVICE

Inventor: YONEYAMA RYOICHI

Applicant: SEIKO EPSON CORP

EC:

IPC: *G02F1/1343; G02F1/136; G02F1/1368* (+3)

Publication info: **JP10048667 A** - 1998-02-20

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-48667

(43) 公開日 平成10年(1998) 2 月20日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	G 0 2 F	1/136
	1/1343			5 0 0
				1/1343

審査請求 未請求 請求項の数11 O L (全 7 頁)

(21) 出願番号 特願平8-204006

(22) 出願日 平成8年(1996) 8 月 1 日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 米山 良一

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ

ーエプソン株式会社内

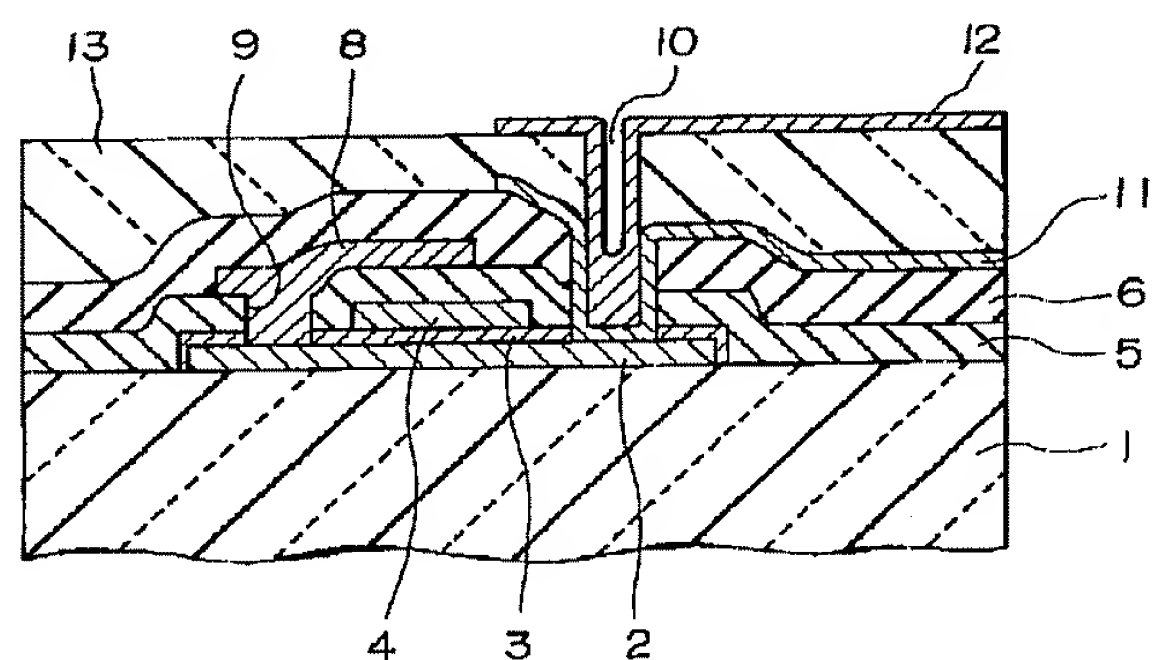
(74) 代理人 弁理士 鈴木 喜三郎 (外 2 名)

(54) 【発明の名称】 液晶パネル用基板およびその製造方法並びに投射型表示装置

(57) 【要約】

【課題】 T F Tを用いたアクティブマトリックス L C Dにおいては、配向不良を防止した反射型では反射効率を高める上で画素電極ができるだけ広い範囲にわたって平坦であることが望まれる。ところが、従来のアクティブマトリックス L C Dは、T F Tが形成される部分だけ盛り上がった断面構造を有しているため、画素電極やその上に形成される配向膜の表面の一部が傾斜し、斜面に相当する部分で配向不良が生じたり、透過率や反射率が低下するという問題点があった。

【解決手段】 T F Tおよび I T Oからなる第 1 の画素電極 (1 1) を形成した後、その上にスピコート等により平坦な絶縁膜 (1 3) を形成して上記第 1 画素電極の一部にコンタクトホール (1 0) を開けてから上記絶縁膜 (1 3) の表面に上記第 1 画素電極と同一パターンの第 2 の画素電極 (1 2) を形成するようにした。



【特許請求の範囲】

【請求項 1】 半導体基板上に画素電極がマトリックス状に形成されるとともに各画素電極に対応して各々トランジスタが形成され、前記トランジスタを介して前記画素電極に電圧が印加されるように構成された液晶パネル用基板の製造方法において、
上記トランジスタおよび該トランジスタに接続された第 1 の画素電極を形成した後、その上に絶縁膜を形成して上記第 1 画素電極の一部に対応して上記絶縁膜にコンタクトホールを開けてから、上記絶縁膜の表面に上記第 1 画素電極に接続された第 2 画素電極を形成するようにしたことを特徴とする液晶パネル用基板の製造方法。

【請求項 2】 上記第 2 画素電極は、上記第 1 画素電極と同一のエッチングマスクを用いて形成するようにしたことを特徴とする請求項 1 に記載の液晶パネル用基板の製造方法。

【請求項 3】 半導体基板上に画素電極がマトリックス状に形成されるとともに各画素電極に対応して各々トランジスタが形成され、前記トランジスタを介して前記画素電極に電圧が印加されるように構成された液晶パネル用基板において、
上記トランジスタおよび該トランジスタに接続された第 1 の画素電極の上に絶縁膜が形成され、上記第 1 画素電極の一部に対応して前記絶縁膜にはコンタクトホールが開口され、上記絶縁膜の表面に前記コンタクトホールにて上記第 1 画素電極に接触された第 2 の画素電極が形成されてなることを特徴とする液晶パネル用基板。

【請求項 4】 上記第 2 画素電極は、上記第 1 画素電極とほぼ同一のパターンに形成されてなることを特徴とする請求項 3 に記載の液晶パネル用基板。

【請求項 5】 上記第 2 画素電極とその下方の第 1 画素電極とのコンタクトホールと、上記第 1 画素電極と上記トランジスタのドレインもしくはソース領域またはドレインもしくはソース電極とのコンタクトホールが同一位置に形成されていることを特徴とする請求項 3 または 4 に記載の液晶パネル用基板。

【請求項 6】 上記第 2 画素電極とその下方の第 1 画素電極とのコンタクトホールがトランジスタのゲート電極部もしくは走査線あるいは信号線の上方に設けられていることを特徴とする請求項 3、4 または 5 に記載の液晶パネル用基板。

【請求項 7】 上記第 1 画素電極および第 2 画素電極が共に ITO 膜で構成されていることを特徴とする請求項 3、4、5 または 6 に記載の液晶パネル。

【請求項 8】 上記第 2 画素電極がアルミニウム層で構成されていることを特徴とする請求項 3、4、5 または 6 に記載の液晶パネル。

【請求項 9】 上記第 1 画素電極がアルミニウム層で構成されていることを特徴とする請求項 8 に記載の液晶パネル。

【請求項 10】 請求項 3、4、5、6、7、8 または 9 に記載の液晶パネル用基板と、対向電極を有する透明基板とが適当な間隔をおいて配置されるとともに、上記液晶パネル用基板と上記透明基板との間隙内に液晶が封入されていることを特徴とする液晶パネル。

【請求項 11】 光源と、前記光源からの光を変調して透過もしくは反射する請求項 10 に記載の構成の液晶パネルと、これらの液晶パネルにより変調された光を集光し拡大投射する投射光学手段とを備えていることを特徴とする投射型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶素子さらには液晶素子の平坦化技術に関し、特に絶縁基板上に形成された TET（薄膜トランジスタ）によって画素電極を駆動するアクティブマトリックス型 LCD（液晶表示装置）に利用して好適な技術に関する。

【0002】

【従来の技術】 液晶テレビ等に使用される液晶表示装置として、格子状に配置された走査線と信号線の各交点に、画素電極とこれに電圧を印加するスイッチ素子としての TFT（薄膜トランジスタ）とを形成したアクティブマトリックス型 LCD が用いられている。また、アクティブマトリックス型 LCD を光変調用のライトバルブとして使用したビデオプロジェクタが実用化されている。

【0003】

【発明が解決しようとする課題】 上記 TFT を用いたアクティブマトリックス LCD においては、配向不良を防止した反射型では反射効率を高める上で画素電極ができるだけ広い範囲にわたって平坦であることが望まれる。ところが、従来のアクティブマトリックス LCD は、図 8 に示すように、TFT が形成される部分だけ盛り上がった断面構造を有しているため、画素電極 11 やその上に形成される配向膜の表面の一部が傾斜し、斜面に相当する部分で配向不良が生じたり、透過率や反射率が低下するという問題点があった。

【0004】 なお、図 8 において、1 はガラス基板、2 はポリシリコン層、3 はゲート絶縁膜、4 はゲート電極、5 および 6 は層間絶縁膜、8 は信号線である。

【0005】 この発明の目的は、アクティブマトリックス型 LCD において、配向不良を減らすとともに、反射型においては画素電極を全体的に平坦化して反射率を向上させることができる技術を提供することにある。

【0006】 この発明の他の目的は、アクティブマトリックス型 LCD における開口率を高めることができる技術を提供することにある。

【0007】

【課題を解決するための手段】 この発明は、上記目的を達成するため、従来のプロセスにより TFT および IT

Ｏ（酸化インジウム）からなる第１の画素電極を形成した後、その上にスピコート等により平坦な絶縁膜を形成して上記第１画素電極の一部にコンタクトホールを開けてから上記絶縁膜の表面に第２の画素電極を形成するようにした。

【０００８】これによって、上記第２の画素電極の上に形成される配向膜を平坦化して配向不良を減らすことができるとともに、反射型液晶パネルにおいては画素電極を全体的に平坦化して反射率を向上させることができる。

【０００９】しかも、第２画素電極をその下方の第１画素電極と同一パターンに形成することでパターンニングで使用するマスクを増加させることなく２つの画素電極を形成することができる。

【００１０】また、第２画素電極とその下方の第１画素電極とのコンタクトホールを、第１画素電極とドレインもしくはソース領域とのコンタクトホールと同一位置に形成することにより、コンタクトホール形成のためのマスクを共通化できるとともに、ＩＴＯ膜等からなる第１の画素電極がコンタクトホール形成の際のエッチストップパとして機能するため、ドレインもしくはソース領域にダメージを与えることなくＳＯＧ膜に対するコンタクトホール形成のためのエッチングを行なえる。

【００１１】さらに、上記第２画素電極とその下方の第１画素電極とのコンタクトホールをトランジスタのゲート電極部もしくは走査線あるいは信号線の上方に設けるようにする。第１画素電極とドレインもしくはソース領域とのコンタクトホールと第１画素電極と第２画素電極とのコンタクトホールと同一箇所に重ねて形成した場合、入射した光を散乱するため開口率を低下させる要因となるおそれがあるが、上記構成によれば、ドレインもしくはソース領域以外の領域に第１画素電極と第２画素電極とのコンタクトホールが形成されるため、開口率を向上させることができる。

【００１２】上記ＴＦＴは、ポリシリコンを能動層とするものあるいはアモルファスシリコンを能動層とするスタガ型、逆スタガ型、コプラナー型、逆コプラナー型等画素電極に電圧を印加するトランジスタであればどのような構造であっても本発明を適用することができる。

【００１３】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基づいて説明する。

【００１４】図１および図２は、本発明を適用した液晶パネル用基板の第１の実施例の断面図および平面レイアウトを示す。なお、図１および図２にはマトリックス状に配置されている画素のうち一画素部分の断面およびレイアウトを示す。図１は図２におけるＩ－Ｉ線に沿った断面である。

【００１５】図１において、１はガラス基板、２はこのガラス基板１の表面に島状に形成された能動層となるポ

リシリコン層、３はポリシリコン層２の表面に熱酸化により形成されたゲート絶縁膜である。上記ポリシリコン層２は、先ずＣＶＤ法等により１０００オングストロームのような厚さに形成され、これを熱酸化することによって、最終的に３５０～４５０オングストロームのような厚さにされる。このときゲート酸化膜３の厚さは約１２５０オングストロームである。

【００１６】４は、上記ポリシリコン層２のほぼ中央にゲート絶縁膜３を介して形成された第２のポリシリコン層からなるゲート電極兼走査線（以下、必要に応じて単にゲート電極あるいは走査線と称する）である。このゲート電極４は、例えばＣＶＤ法等により３０００～４０００オングストロームのような厚さに形成される。５および６は、上記ゲート電極４およびゲート絶縁膜３の上方を覆うように形成された酸化シリコン等からなる第１層間絶縁膜およびＢＰＳＧ（ボロンとリンを含んだ酸化シリコン）等からなる第２層間絶縁膜である。上記第１層間絶縁膜５は、例えばＣＶＤ法等によりそれぞれ８０００オングストロームのような厚さに形成される。第２層間絶縁膜６は、第１層間絶縁膜５にアルミニウム等の導電層からなる信号線８を形成した後に形成される。信号線８は第１層間絶縁膜５およびゲート絶縁膜３にコンタクトホール９を開口してから蒸着等により約３５００オングストロームのような厚さに形成され、上記ポリシリコン層２に接触される。酸化シリコン等からなる上記第１層間絶縁膜５の上にＢＰＳＧ等からなる第２層間絶縁膜６を形成することにより、後に耐湿性の低い絶縁膜が形成されても、信号線８に腐食等による断線が発生するのを防止することができる。

【００１７】１１はＩＴＯ膜からなる第１の画素電極、１２は同じくＩＴＯ膜からなる第２の画素電極で、上記第１の画素電極１１と第２の画素電極は同一パターンに形成されている。第１の画素電極１１は、上記ポリシリコン層２のドレイン領域上方のゲート絶縁膜３、第１層間絶縁膜５および第２絶縁膜６にかけてコンタクトホール１０をドライエッチングで開口してから、ＩＴＯ膜をスパッタリングで１５００オングストロームのような厚さに形成し選択エッチングによりパターンニングを行なうことで形成される。第２の画素電極１２は、上記第１画素電極１１および第２絶縁膜６上にかけてスピコートで例えば東燃ポリシラザン（東燃株式会社の製品名）を塗布し、ベーク処理（焼付け）を行なって形成した平坦なＳＯＧ膜１３に、上記コンタクトホール１０と同一位置に重ねてコンタクトホールをドライエッチングで開口してから、ＩＴＯ膜をスパッタリングで１５００オングストロームのような厚さに形成し選択エッチングによりパターンニングを行なうことで形成される。上記の場合、絶縁膜３、５、６へのコンタクトホールの形成とＳＯＧ膜１３へのコンタクトホールの形成とで、共通のエッチングマスクを用いることができる。また、第１の画素電

極 11 と第 2 の画素電極 12 のパターンニングとで、共通のエッチングマスクを用いることができる。

【0018】さらに、上記画素電極 12 および SOG 膜 13 上にかけてはポリイミド等からなる配向膜を約 2000～3000 オングストロームのような厚さに形成して、ラビング（配向処理）を行なうことで液晶パネル用基板とされる。

【0019】この第 1 実施例においては、上記第 1 の画素電極 11 の上に SOG 膜 13 を形成しているため、配向膜を平坦化して配向不良を減らすことができる。

【0020】しかも、第 2 画素電極 12 をその下方の第 1 画素電極 11 と同一パターンに形成することでパターンニングで使用するマスクを増加させることなく 2 つの画素電極を形成することができる。絶縁膜 3、5、6 のコンタクトホールと SOG 膜 13 のコンタクトホールを同一位置に形成しているため、共通のエッチングマスクを用いることができるとともに、SOG 膜 13 にコンタクトホールを形成する際に、ポリシリコンに比べて SOG 膜との選択比の大きな ITO 膜からなる第 1 の画素電極 11 がエッチストップパとして機能するため、ドレイン、

ソース領域としてのポリシリコン層 2 にダメージを与えることなく SOG 膜 13 に対するコンタクトホール形成のためのドライエッチングを行なえる。

【0021】図 2 は、第 1 実施例（図 1）の平面レイアウト構成例を示す。図 2 において、ハッチング A が付されているゲート線 4 と信号線 7 との交点がトランジスタのチャンネル部分である。

【0022】なお、特に限定されないが、この実施例では、トランジスタ（TFT）のドレインに接続される容量を増加させるため、能動層を構成する 1 層目のポリシリコン層 2 を、2a のように信号線 8 および隣接する画素（図では上側）の走査線 4 を構成する 2 層目のポリシリコン層に沿って延設するとともに、当該走査線 4 を構成する 2 層目のポリシリコン層の一部を、4a のように信号線 7 に沿って延設するように構成されている。これによって、信号線 7 の下方に形成された 1 層目と 2 層目のポリシリコン層間の容量（ゲート絶縁膜 3 を誘電体とする）が、保持容量として各画素電極に電圧を印加する TFT のドレイン（ソースと呼ばれることもある）に接続されることとなる。

【0023】図 3 および図 4 は、本発明を適用した液晶パネル用基板の第 2 の実施例の断面図および平面レイアウトを示す。図 3 は図 4 における III-III 線に沿った断面である。

【0024】本発明においては、第 1 画素電極と第 2 画素電極とを同一パターンに形成しているため、どの箇所においても第 1 画素電極と第 2 画素電極との接続を行なうことができる。そこで、この第 2 の実施例では、例えば図 4 に符号 B で示されているように、第 2 画素電極 12 と第 1 画素電極 11 の一部に信号線 8 と交差する突出

部を設ける。そして、2 つの画素電極 11 と 12 のコンタクトホール 10' を、この突出部に設けるようにした。これによって、ドレイン領域の上方にコンタクトホールを重ねて形成した第 1 実施例の液晶パネル用基板を用いた LCD に比べて、コンタクトホールでの散乱を減少させ、開口率を向上させることができる。ただし、上記コンタクトホール 10' は、TFT のチャンネル部上方あるいは走査線の上方に設けるようにしても良い。

【0025】図 5 および図 6 は、本発明を逆スタガ型 TFT を画素電極に電圧を印加するスイッチ素子とする LCD に適用した実施例を示す。

【0026】図 5 および図 6 において、21 はガラス基板 1 上にスパッタリングで形成された厚さ約 1300 オングストロームの Ta（タンタル）層からなるゲート電極、22 はその表面を熱酸化することで形成された 1000～2000 オングストローム程度の厚さを有するゲート酸化膜（TaOx）、23 はプラズマ CVD 法により 3000 オングストローム程度の厚さに形成された窒化シリコン膜からなるゲート絶縁膜、24 はチャンネル領域となるノンドープのアモルファスシリコン層、25a、25b はこのアモルファスシリコン層 24 の表面に接触するように形成されたソース、ドレイン領域となる N 型アモルファスシリコン層である。これらのアモルファスシリコン層 24 および 25a、25b は例えばプラズマ CVD 法により各々 3000 オングストロームおよび 500 オングストロームのような厚みとされる。

【0027】また、図 5 および図 6 において、26a、26b は上記 N 型アモルファスシリコン層 25a、25b の表面に接触するように形成されたチタン（Ti）層からなるソース、ドレイン電極、27 は上記 N 型アモルファスシリコン層 25a、25b およびソース、ドレイン電極 26a、26b を分離する際のエッチストップとなる窒化シリコン等からなるチャンネル保護膜である。このチャンネル保護膜 27 は、例えばプラズマ CVD 法により、2000 オングストロームのような厚さに形成される。

【0028】図 5 に示されている実施例では、ITO 膜からなる第 1 画素電極 11 がドレイン電極 26b の表面に接触するように形成され、この第 1 画素電極 11 の上に平坦化膜として SOG 膜 13 が形成され、さらにこの SOG 膜 13 にコンタクトホール 10 を開口してから第 2 画素電極 12 となる ITO 膜を同一パターンに形成することで図 1 の実施例と同一の効果が得られるように構成されている。

【0029】一方、図 6 に示されている実施例では、ITO 膜からなる第 1 画素電極 11 がアモルファスシリコン層 24 よりも前に形成され、ゲート絶縁膜 23 にコンタクトホール 10 を形成して第 1 画素電極 11 の表面にドレイン電極 26b が接触するように構成されている。そして、このドレイン電極 26b の上に SOG 膜 13 が

形成され、このSOG膜13にコンタクトホール10'を開口してから第2画素電極12となるITO膜を同一パターンに形成することで図1の実施例と同一の効果が得られるように構成されている。図6の実施例においては、コンタクトホール10と10'をずらして形成しているが、同一位置に設けることも可能である。また、図6の実施例では、ガラス基板1からゲート電極21へのアルカリ性イオン等の不純物の拡散を防止するためTFTの下方にのみ絶縁膜20を設けるようにしている。この絶縁膜20は、図5の実施例においても設けるようにしても良い。

【0030】なお、図5および図6の実施例における第1画素電極11、第2画素電極12およびSOG膜13の形成方法および厚み等の条件は、第1の実施例と同様である。また、図5および図6に示されているいずれの実施例においても、上記第2画素電極12からSOG膜13の表面にかけて、特に限定されないが窒化シリコンからなる配向膜28が形成されている。

【0031】以上、第2画素電極12を透明なITO膜で形成した透過型LCDの液晶パネル用基板の実施例について説明したが、第2画素電極12をアルミニウム等反射率の高い導電膜で形成し、これを反射電極として利用する反射型LCD用の基板にも適用することができる。その場合、第1画素電極12もアルミニウム等の導電膜で形成することが可能である。反射型の場合、第2画素電極が全体的に平坦化されるため、反射率を向上させることができる。また、第1画素電極と第2画素電極とコンタクトホールをゲート電極もしくは走査線あるいは信号線の上方に形成した場合、第1画素電極11とドレイン領域とのコンタクトホール10はドレイン領域の上方に形成されるが、このコンタクトホール10は、図3に示されているように、平坦な第2画素電極12によって覆われるため、開口率を低下させる要因とならない。

【0032】上記各実施例の液晶パネル用基板は、その表面側に、LCコモン電位が印加される透明導電膜(ITO)からなる対向電極を有する入射側のガラス基板が適当な間隔をおいて配置され、周囲をシール材で封止された間隙内にTN(TwistedNematic)型液晶またはSH(Super Homeotropic)型液晶などが充填されて液晶パネルとして構成される。

【0033】図7には上記実施例の液晶パネルをライトバルブとして応用した投射型表示装置の一例としてビデオプロジェクタの構成例が示されている。

【0034】図7において、370はハロゲンランプ等の光源、371は放物ミラー、372は熱線カットフィルター、373、375、376はそれぞれ青色反射、緑色反射、赤色反射のダイクロイックミラー、374、377は反射ミラー、378、379、380は上記実施例の液晶パネルからなるライトバルブ、383はダイ

クロイックプリズムである。

【0035】この実施例のビデオプロジェクタにおいては、光源370から発した白色光は放物ミラー371により集光され、熱線カットフィルター372を通過して赤外域の熱線が遮断されて、可視光のみがダイクロイックミラー系に入射される。そしてまず、青色反射ダイクロイックミラー373により、青色光(概ね50nm以下の波長)が反射され、その他の光(黄色光)は透過する。反射した青色光は、反射ミラー374により方向を変え、青色変調ライトバルブ378に入射する。

【0036】一方、上記青色反射ダイクロイックミラー373を透過した光は緑色反射ダイクロイックミラー375に入射し、緑色光(概ね500~600nmの波長)が反射され、その他の光である赤色光(概ね600nm以上の波長)は透過する。ダイクロイックミラー375で反射した緑色光は、緑色変調ライトバルブ379に入射する。また、ダイクロイックミラー375を透過した赤色光は、反射ミラー376、377により方向を変え、赤色変調ライトバルブ380に入射する。

【0037】ライトバルブ378、379、380は、図示しないビデオ信号処理回路から供給される青、緑、赤の原色信号でそれぞれ駆動され、各ライトバルブに入射した光はそれぞれのライトバルブで変調された後、ダイクロイックプリズム383で合成される。ダイクロイックプリズム383は、赤色反射面381と青色反射面382とが互いに直交するように形成されている。そして、ダイクロイックプリズム383で合成されたカラー画像は、投射レンズ384によってスクリーン上に拡大投射され、表示される。

【0038】前記実施例の液晶パネル用基板は高い透過率および開口率を有するため、これを使用した液晶パネルをライトバルブとした上記ビデオプロジェクターあつては、小口径の投射レンズを用いても明るくコントラストの高い表示を得ることができる。

【0039】

【発明の効果】以上説明したように、この発明は、TFTおよび第1の画素電極を形成した後、その上にスピコート等により平坦な絶縁膜を形成して上記第1画素電極の一部にコンタクトホールを開けてから上記絶縁膜の表面に上記第1画素電極に接続された第2の画素電極を形成するようにしたので、上記第2の画素電極の上に形成される配向膜を平坦化して配向不良を減らすことができるとともに、反射型液晶パネルにおいては画素電極を全体的に平坦化して反射率を向上させることができる。

【0040】しかも、第2画素電極をその下方の第1画素電極と同一パターンに形成することでパターンングで使用するマスクを増加させることなく2つの画素電極を形成することができる。

【0041】また、第2画素電極とその下方の第1画素電極とのコンタクトホールを、第1画素電極とドレイン

もしくはソース領域とのコンタクトホールと同一位置に形成することにより、コンタクトホール形成のためのマスクを共通化できるとともに、SOG膜と選択比の大きなITO膜等からなる第1の画素電極がエッチストップとして機能するため、その下の導電層（ドレイン領域としてのポリシリコン層2）にダメージを与えることなくSOG膜に対するコンタクトホール形成のためのドライエッチングを行なえる。

【0042】さらに、上記第2画素電極とその下方の第1画素電極とのコンタクトホールをトランジスタのゲート電極部もしくは走査線あるいは信号線の上方に設けるようにしたので、第1画素電極とドレインもしくはソース領域とのコンタクトホールと第1画素電極と第2画素電極とのコンタクトホールと同一箇所に重ねて形成した場合に比べて、開口率を向上させることができる。

【図面の簡単な説明】

【図1】本発明を適用した液晶パネル用基板の第1の実施例を示す断面図。

【図2】本発明を適用した液晶パネル用基板の第1の実施例の平面レイアウト図。

【図3】本発明を適用した液晶パネル用基板の第2の実施例を示す断面図。

【図4】本発明を適用した液晶パネル用基板の第2の実施例の平面レイアウト図。

【図5】本発明を適用した液晶パネル用基板の第3の実施例を示す断面図。

【図6】本発明を適用した液晶パネル用基板の第4の実施例を示す断面図。

【図7】実施例の液晶パネル用基板を用いたLCDをラ*

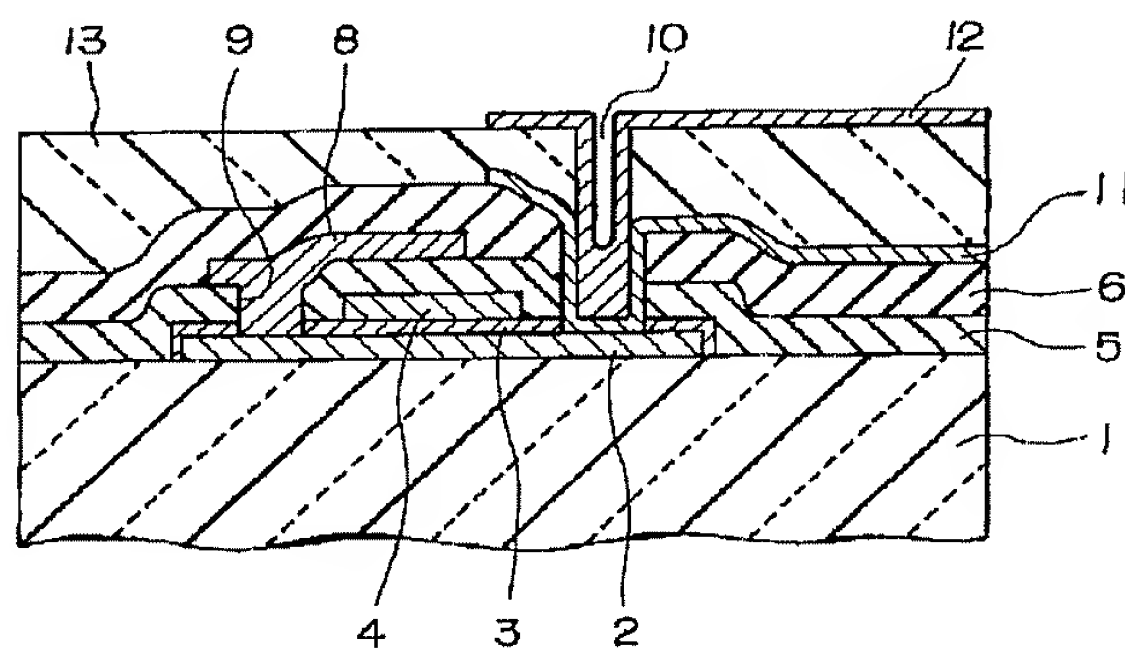
* イトバルブとして応用した投射型表示装置の一例としてビデオプロジェクタの概略構成図。

【図8】従来の液晶パネル用基板の一例を示す断面図。

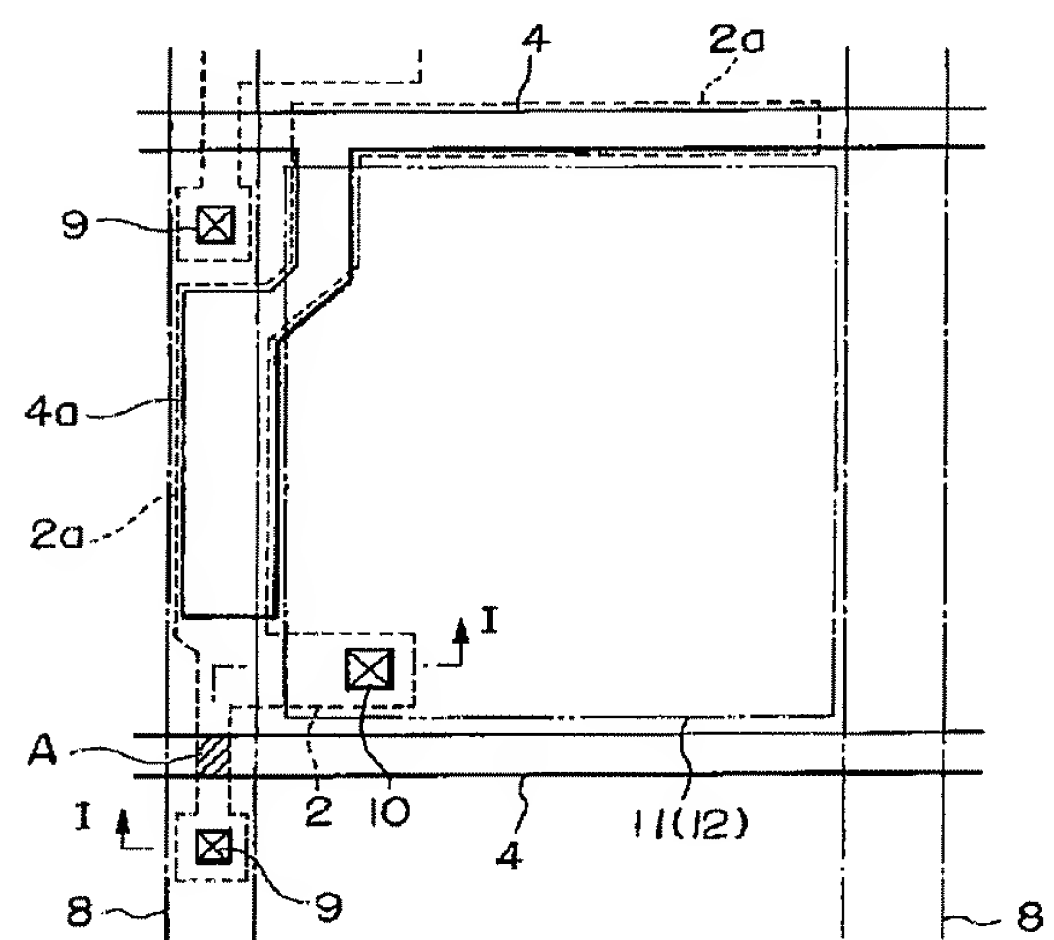
【符号の説明】

- 1 ガラス基板
- 2 ポリシリコン層
- 3 ゲート絶縁膜
- 4 ゲート電極（走査線）
- 5 第1層間絶縁膜
- 6 第2層間絶縁膜
- 8 信号線
- 9, 10, 10' コンタクトホール
- 11 第1の画素電極（ITO膜）
- 12 第2の画素電極（ITO）
- 13 平坦化膜（SOG膜）
- 21 ゲート電極
- 22 ゲート酸化膜（TaOx）
- 24 アモルファスシリコン層
- 25a, 25b N型アモルファスシリコン層（ソース、ドレイン領域）
- 26a, 26b ソース、ドレイン電極
- 27 チャンネル保護膜
- 28 配向膜
- 370 ランプ
- 373, 375, 376 ダイクロイックミラー
- 374, 377 反射ミラー
- 378, 379, 380 ライトバルブ
- 383 ダイクロイックプリズム
- 384 投射レンズ

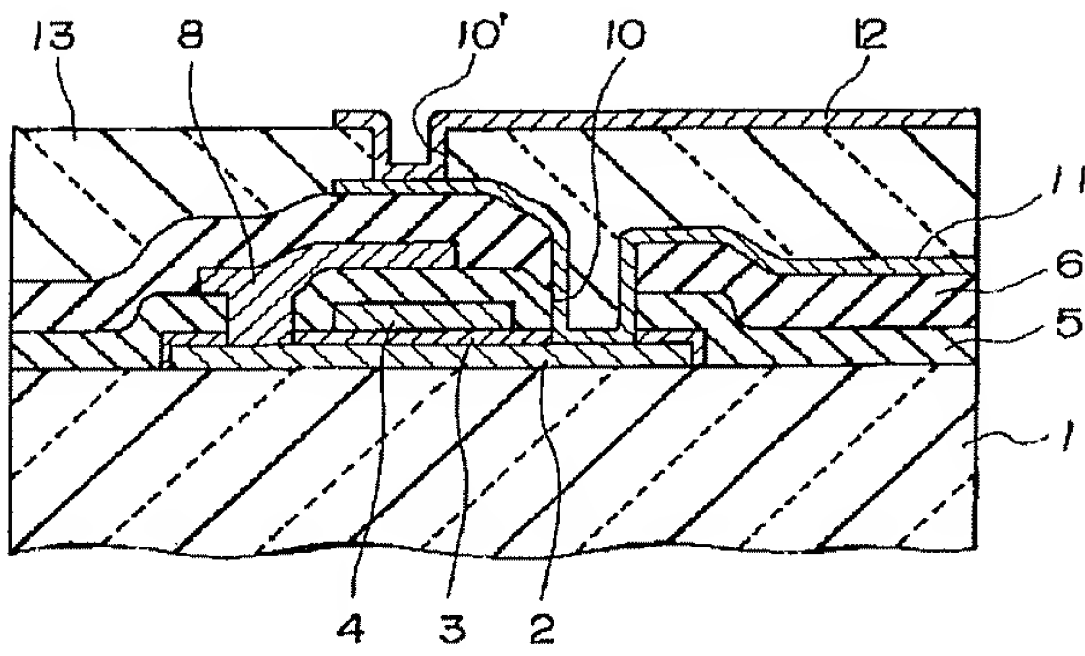
【図1】



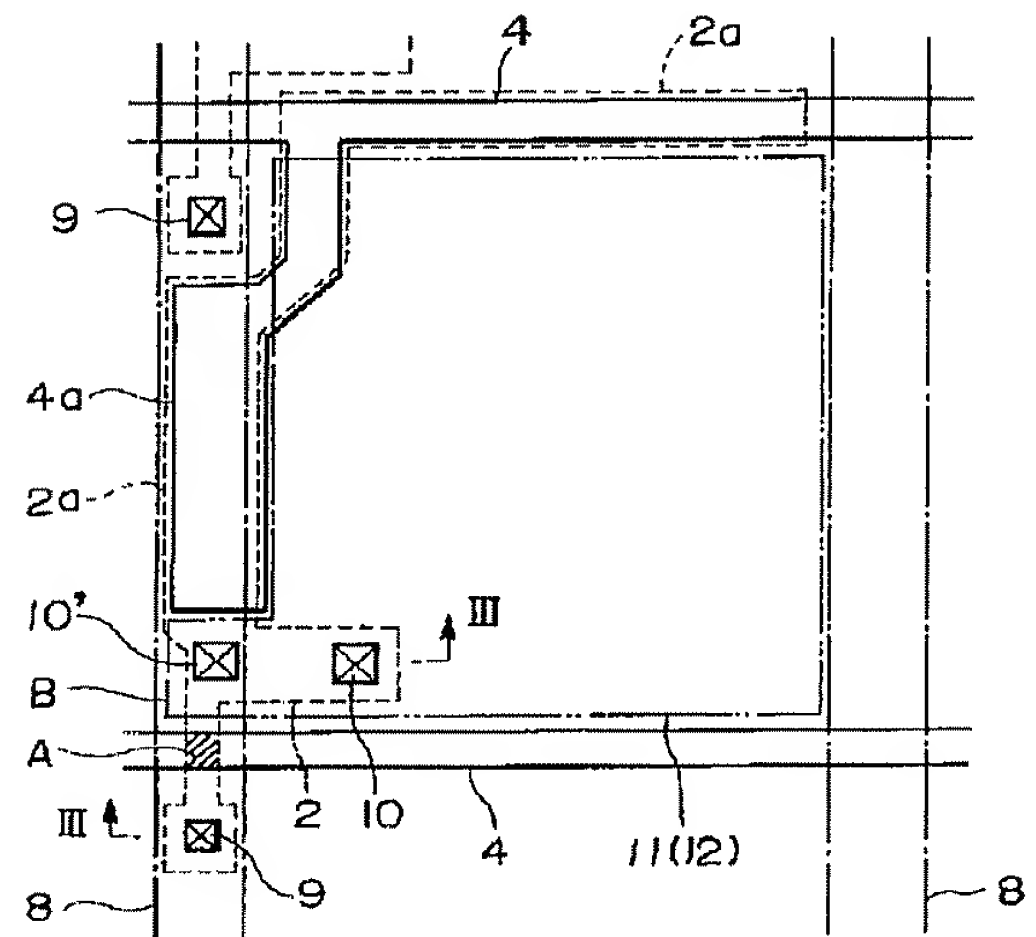
【図2】



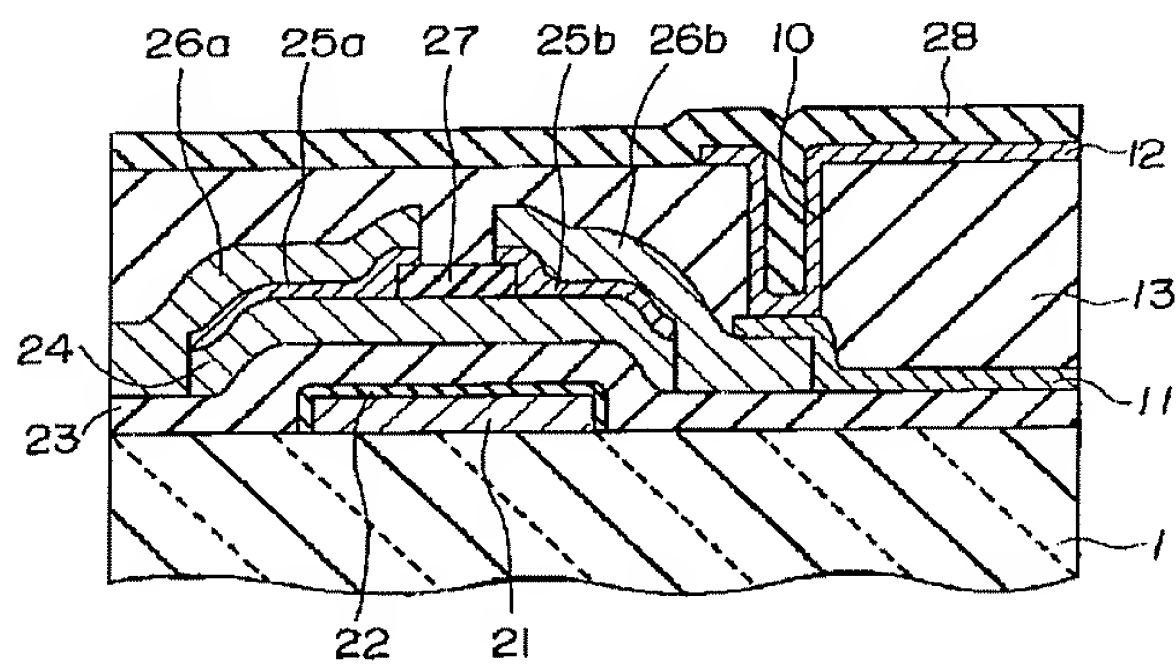
【図 3】



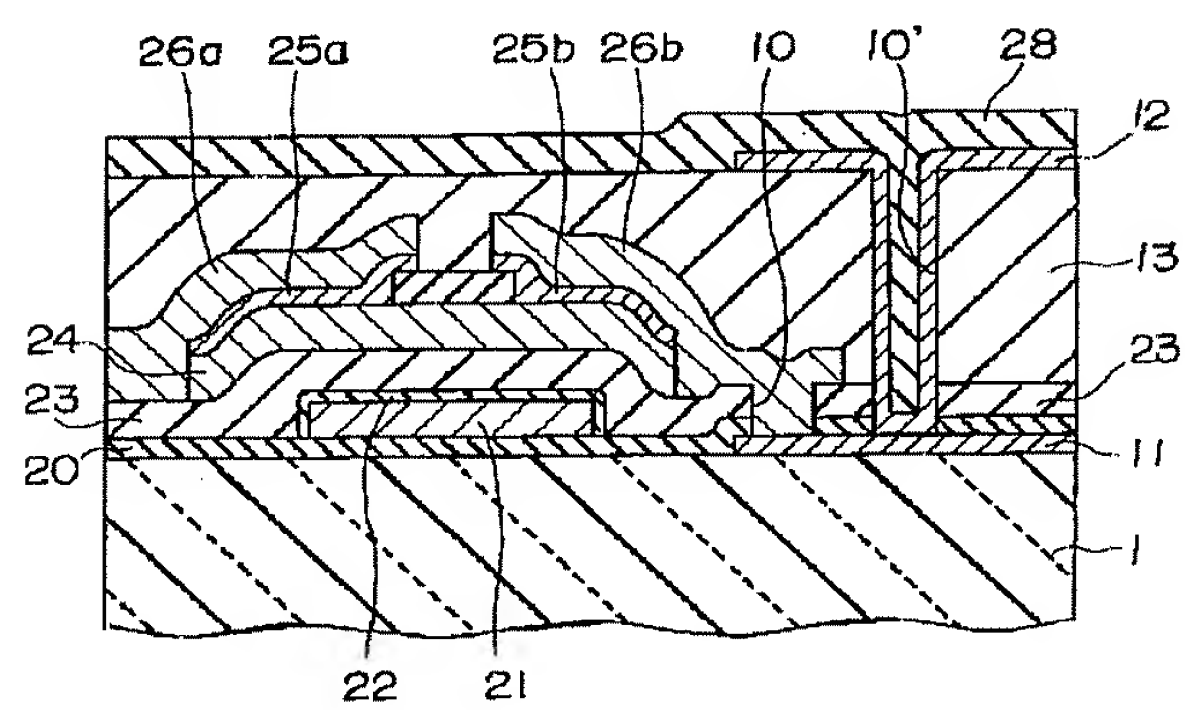
【図 4】



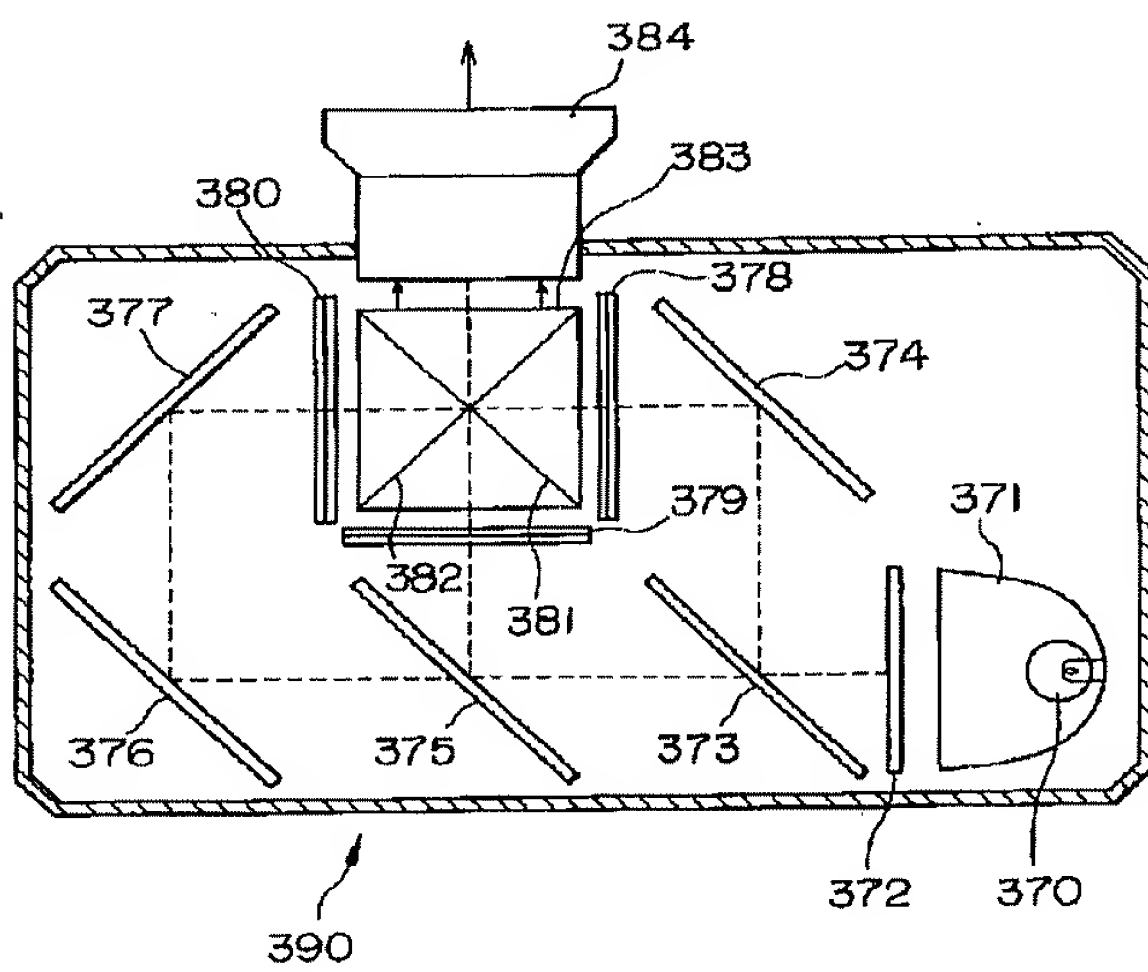
【図 5】



【図 6】



【図 7】



【図 8】

